

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-251710

(43)公開日 平成5年(1993)9月28日

(51)Int.Cl.⁵

H 0 1 L 29/788

29/792

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/ 78

3 7 1

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平3-272970

(22)出願日 平成3年(1991)10月22日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 五十嵐 泰史

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

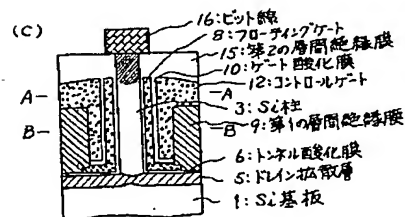
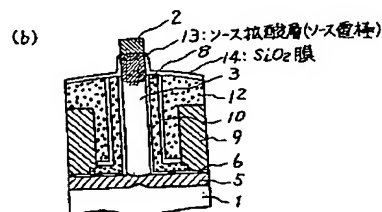
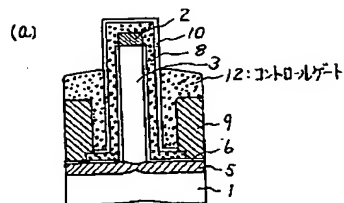
(74)代理人 弁理士 清水 守 (外3名)

(54)【発明の名称】 MOS型半導体記憶装置

(57)【要約】

【目的】 メモリセルとなるトランジスタを立体的に構成し、1ビット毎の消去が可能で、書き込みも1ビット毎にでき、書き込み／読み出しが速く、しかも小型化に伴う性能の劣化をなくす。

【構成】 MOS型半導体記憶装置において、Si基板1上に形成されるSi柱3と、そのSi柱3のまわり及びSi基板1上に形成されるトンネル酸化膜6と、Si柱3のまわり及びそれに接するSi基板1表面に形成されるフローティングゲート8と、そのフローティングゲート8の表面に形成されるゲート酸化膜10と、そのゲート酸化膜10の表面に形成されるコントロールゲート12と、Si柱3の上部に形成されるソース拡散層13と、Si柱3の基部およびトンネル酸化膜6下のSi基板1に形成されるドレイン拡散層5とを形成する。



【特許請求の範囲】

【請求項1】 (a) 半導体基板上に形成されるシリコン柱と、

(b) 該シリコン柱のまわり及び半導体基板上に形成されるトンネル酸化膜と、

(c) 前記シリコン柱のまわり及びそれに接する半導体基板表面に形成されるフローティングゲートと、

(d) 該フローティングゲート表面に形成されるゲート酸化膜と、

(e) 該ゲート酸化膜上に形成されるコントロールゲートと、

(f) 前記シリコン柱の上部に形成されるソース拡散層と、

(g) 前記シリコン柱の基部および前記トンネル酸化膜下の半導体基板に形成されるドレイン拡散層とを具備することを特徴とするMOS型半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、MOS型半導体記憶装置、特に不揮発型記憶セルの構造に関するものである。

【0002】

【従来の技術】 従来、この種の技術としては、例えば「最新版 超LSIプロセスデータハンドブック」(株)サイエンス・フォーラム、1990/3/31、第1版、P. 81~88に記載されるものがあつた。従来、この種の装置は、上記文献に開示されるように、MASK-ROM、EP-ROM、EE-PROM、Flash EE-PROM、NAND型EE-PROMがある。

【0003】 これらを使用することにより、現在コンピュータの外部記憶装置として使用されている磁気記憶装置(ハードディスク、フロッピーディスク、磁気テープ)が置き換えられる可能性がある。これが実現すれば、コンピュータから機械的な駆動部が無くなることになり、より信頼性の高い、より書き込み/読み出し速度の速い、より小型・軽量のコンピュータが実現できることになる。

【0004】 これに適する装置としては、電氣的に書き込み/読み出しができるEE-PROM、Flash EE-PROM、NAND型EE-PROMが挙げられる。このうち1ビットあたりのセル面積を最も小さくすることができる、すなわち、1ビットあたりのコストを安くできるNAND型EE-PROMが有望とされている。このNAND型EE-PROMでは、セル面積を小さくするために、8ビットを直列に構成し、コンタクトホール数を極力減らしたために、他のPROMでは達成できなかった高密度化が可能となった。

【0005】

【発明が解決しようとする課題】 しかしながら、NAND型EE-PROMでは、メモリセルを直列に配置した

ために、①消去は8ビット単位で行わなければならない。②プログラム(書き込み)はシリアルで行わなければならない。③書き込み/読み出しが遅い。④更に小型化すると、トランジスタのソース/ドレイン間のチャネル間ショートが生じやすいといった問題があつた。

【0006】 本発明は、上記問題点を除去し、メモリセルとなるトランジスタを立体的に構成し、①1ビット毎の消去が可能、②書き込みも1ビット毎にでき、③書き込み/読み出しが速く、④小型化に伴う性能の劣化がないMOS型半導体記憶装置を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明は、上記目的を達成するために、MOS型半導体記憶装置において、半導体基板上に形成されるシリコン柱と、該シリコン柱のまわり及び半導体基板上に形成されるトンネル酸化膜と、前記シリコン柱のまわり及びそれに接する半導体基板表面に形成されるフローティングゲートと、該フローティングゲート表面に形成されるゲート酸化膜と、該ゲート酸化膜上に形成されるコントロールゲートと、前記シリコン柱の上部に形成されるソース拡散層と、前記シリコン柱の基部および前記トンネル酸化膜下の半導体基板に形成されるドレイン拡散層とを設けるようにしたものである。

【0008】

【作用】 本発明によれば、上記したように、MOS型半導体記憶装置(EE-PROM)の構造をシリコン柱に形成するようにしたので、記憶セルの平面積を小さくすることができる。また、記憶セルの平面積を増すことなく、充分なゲート長を確保することができる。ゲート電極が柱状のシリコンのまわりを一周取り囲む構造であるために、電流経路がシリコン柱全体となり、高いコンダクタンス g_m が得られるために、スイッチングのマージンを広くとることができる。

【0009】

【実施例】 以下、本発明の実施例について図面を参照しながら詳細に説明する。図1、図2及び図3は本発明の実施例を示すMOS型半導体記憶装置の製造工程断面図、図4はそのMOS型半導体記憶装置の断面図である。まず、図1(a)に示すように、シリコン(Si)基板1上に既知の技術であるSiN膜の成膜、ホトリソグラフィ、ドライエッチングにより、Si柱を形成するための窒化シリコン(SiN)パターン2を形成する。ここでは、SiNパターン2の膜厚は $1\mu m$ で、大きさは $0.5 \times 0.5\mu m$ とする。

【0010】 次に、図1(b)に示すように、SiNパターン2をマスクとして、ドライエッチング、例えば Cl_2 を使用した反応性イオンエッチング(RIE)により、Si柱3の長さが $5\mu m$ になるまでSiをエッチングする。その後、図1(c)に示すように、既知の熱酸

化技術により、マスク酸化膜4を、例えば200Åの厚さに形成する。このマスク酸化膜4は、次に行うリンイオン(P⁺)の注入時に、Si基板1へのダメージ防止及び汚染防止の働きと、Si柱3へリンイオンが注入されないようにするためのマスクとしての働きを兼ねている。リンイオン注入はSi基板1のみに注入し、Si柱3へ注入しないように、Si基板1に対して、垂直方向から行う。注入条件は、例えばリンイオンを40KeVで加速して $5 \times 10^{15}/\text{cm}^2$ のドーズ量とする。これにより、ドレイン拡散層5が形成される。次に、マスク酸化膜4をフッ酸により除去し、例えば950℃の酸素中で20分間処理して、リンの活性化及びSi表面のイオン注入によるダメージ回復を行う。

【0011】次に、図1(d)に示すように、例えば、950℃の酸素中で12分間処理して、100Åのトンネル酸化膜6をSi基板1及びSi柱3の表面に形成する。更に、ポリシリコン7を、例えば、減圧CVD法により2000Å形成し、既知の技術により、ポリシリコン7にリンを拡散する。次に、通常のリソグラフィ及びC12を使用したRIEにより、ポリシリコン7をパターンニングして、図1(e)に示すように、フローティングゲート8を形成する。

【0012】更に、図2(a)に示すように、第1の層間絶縁膜9を、例えば、減圧CVD法により酸化シリコン(SiO₂)をSi柱3が十分に埋まるまで堆積する。次に、図2(b)に示すように、第1の層間絶縁膜9を厚さ2μmまでエッチバックする。次に、図2(c)に示すように、Si柱3のまわりの第1の層間絶縁膜9を通常のホトリソグラフィ、RIEによるエッチングにより、下方のフローティングゲート8の上まで除去する。

【0013】次に、図2(d)に示すように、フローティングゲート8の表面を酸化し、例えば200Å厚のゲート酸化膜10を形成する。次いで、図2(e)に示すように、減圧CVD法により、ポリシリコン11をSi柱3が十分に埋まるまで堆積する。次に、例えば、第1の層間絶縁膜9上のポリシリコン11が1μm厚になるまでエッチバックする。その後、ポリシリコン11に既知の技術によりリンを拡散し、更に、通常のホトリソグラフィ、RIEによるエッチングにより、ポリシリコン11を加工し、図3(a)に示すように、コントロールゲート12を形成する。

【0014】次に、図3(b)に示すように、フッ酸により表面に露出しているゲート酸化膜10を除去し、更に、C12による等方性のドライエッチングにより、Si柱3の上部のフローティングゲート8が無くなるまで、フローティングゲート8とコントロールゲート12をエッチングする。更に、Si柱3の露出した部分に既知の技術によりリンを拡散させ、ソース拡散層(ソース電極)13を形成する。更に、例えば、950℃の酸素

中で、20分間処理して、フローティングゲート8、コントロールゲート12、ソース電極13の各電極間が酸化シリコン(SiO₂)膜14で覆われるようにする。

【0015】次に、減圧CVD法により、酸化シリコン(SiO₂)膜を堆積し、SiNパターン2が露出するまで、エッチバックすることにより、平坦化し、図3(c)に示すように、第2の層間絶縁膜15を形成する。その後、熱リン酸に浸すことにより、SiNパターン2を除去し、ビット線16を形成するために、例えば、A1を既知の方法により、堆積し、ホトリソグラフィ、エッチングする。

【0016】このようにして、図3(c)にその断面を、図4(a)に図3(c)のA-A線断面を、図4(b)に図3(c)のB-B線断面を、それぞれ示す本発明にかかるMOS型半導体記憶装置(記憶セル)を得ることができる。以下、このMOS型半導体記憶装置(記憶セル)の動作について、以下に1例を図5を用いて説明する。

【0017】(1)書き込み

図5(a)に示すように、コントロールゲート12を接地し、ドレイン拡散層5に12Vを印加すると、ドレイン拡散層5からトンネル酸化膜6を通してフローティングゲート8に電子が注入される。ここで、ソース電極13は何にも接続せずに浮かしておいてよいが、点線で示すように、ドレイン拡散層5に接続して、ソース電極13からもフローティングゲート8へ電子を注入するにしてもよい。この場合は、コントロールゲート12の見かけの閾値電圧V_tは大きくなる。

【0018】(2)消去

図5(b)に示すように、ドレイン拡散層5を接地し、コントロールゲート12に12Vを印加することにより、フローティングゲート8の電子をトンネル酸化膜6を通してドレイン拡散層5へ引き抜く。ソース電極13には何にも接続せずに浮かしておいてよいが、ドレイン拡散層5と同様に、点線で示すように、接地して、フローティングゲート8の電子をドレイン拡散層5のみでなく、ソース電極13へ引き抜くようにしてもよい。この場合は、コントロールゲート12の見かけの閾値電圧V_tは小さくなる。

【0019】(3)読み出し

図5(c)に示すように、ドレイン拡散層5を接地し、ソース電極13に1Vを印加した状態で、コントロールゲート12に5Vを加え、その時、ドレイン電流が流れた時、“0”で、ドレイン電流が流れない時、“1”として読み出す。なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0020】

【発明の効果】以上、詳細に説明したように、本発明に

よれば、以下のような効果を奏することができる。

(1) MOS型半導体記憶装置 (EEPROM) の構造を、シリコン柱に形成するようにしたので、記憶セルの平面積を小さくすることができる。

【0021】(2) 記憶セルの平面積を増すことなく、十分なゲート長を確保することができる。

(3) ゲート電極が柱状のシリコンのまわりを一周取り囲む構造であるために、電流経路がシリコン柱全体となり、高いコンダクタンス g_m を得ることができ、スイッチングのマージンが広くとれる。

【0022】(4) 基板のシリコンが、全ビット共通のドレインになっているので、1ビットあたりのコンタクトは1つにもかかわらず、データの消去と書き込みがランダムに行える。

(5) 1ビット毎にランダムに制御できるので、書き込み／読み出しが速い。

【図面の簡単な説明】

【図1】本発明の実施例を示すMOS型半導体記憶装置の製造工程断面図(その1)である。

【図2】本発明の実施例を示すMOS型半導体記憶装置の製造工程断面図(その2)である。

【図3】本発明の実施例を示すMOS型半導体記憶装置

の製造工程断面図(その3)である。

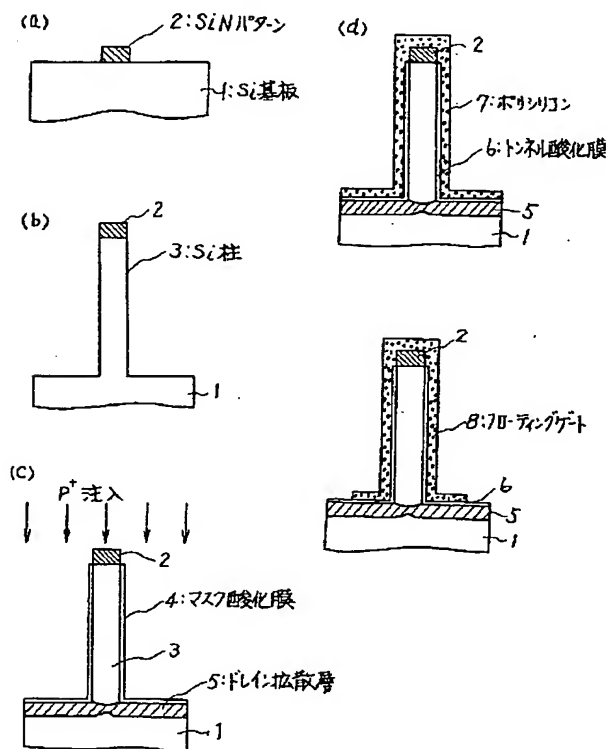
【図4】本発明の実施例を示すMOS型半導体記憶装置の断面図である。

【図5】本発明のMOS型半導体記憶装置の動作説明図である。

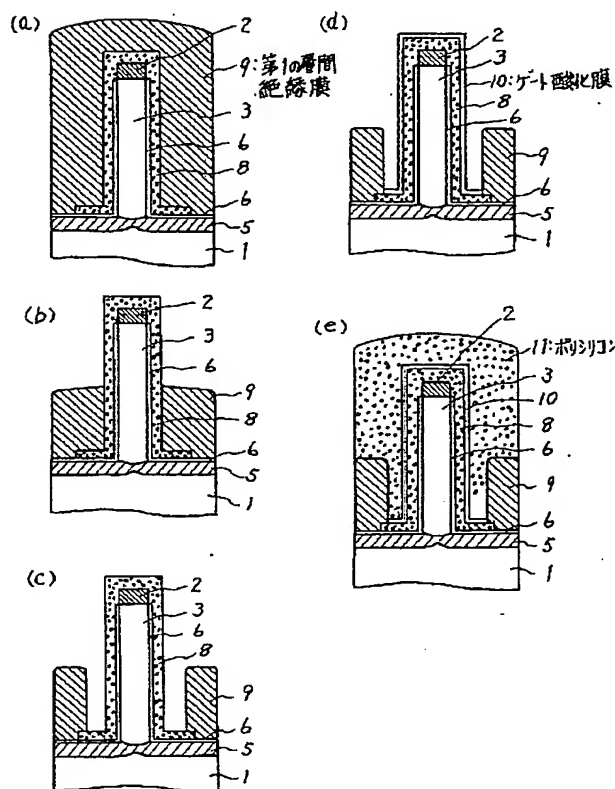
【符号の説明】

- 1 シリコン (Si) 基板
- 2 窒化シリコン (SiN) パターン
- 3 Si 柱
- 4 マスク酸化膜
- 5 ドレイン拡散層
- 6 トンネル酸化膜
- 7, 11 ポリシリコン
- 8 フローティングゲート
- 9 第1の層間絶縁膜
- 10 ゲート酸化膜
- 12 コントロールゲート
- 13 ソース拡散層 (ソース電極)
- 14 酸化シリコン (SiO₂) 膜
- 15 第2の層間絶縁膜
- 16 ビット線

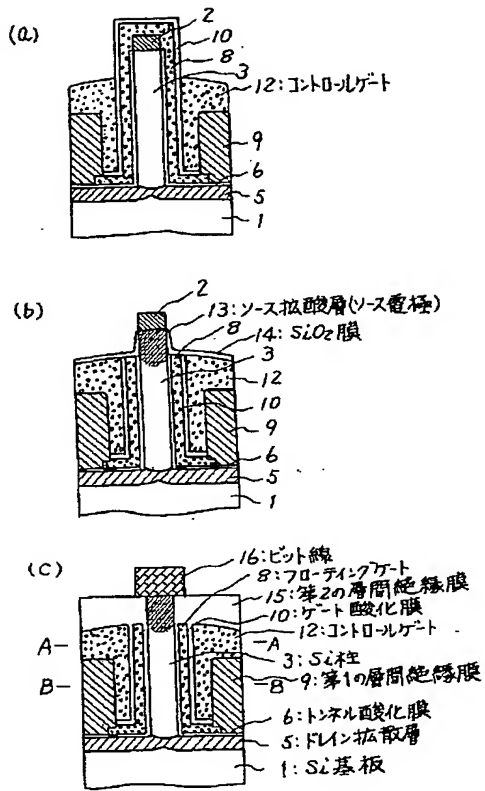
【図1】



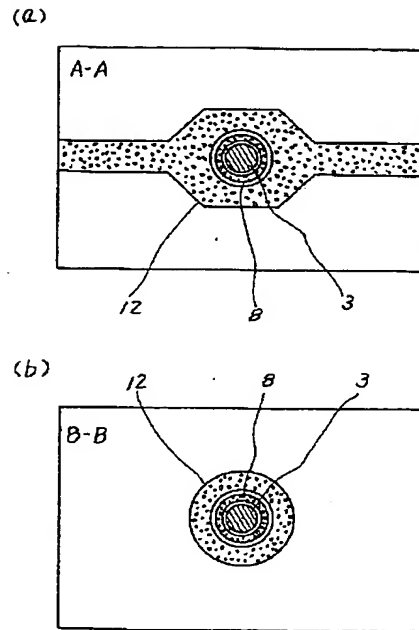
【図2】



【図3】



【図4】



【図5】

